

Family list

1 application(s) for: JP11194363

1

**PATTERN FORMING METHOD, ACTIVE MATRIX SUBSTRATE AND ITS
PRODUCTION AND ELECTRONIC APPARATUS**

Inventor: KOIDE SHIN ; NAKAZAWA TAKASHI

Applicant: SEIKO EPSON CORP

EC: G03F7/20T20

IPC: G02F1/136; G02F1/1368; G03F7/20; (+15)

Publication info: JP11194363 (A) — 1999-07-21

Data supplied from the *esp@cenet* database —

PATTERN FORMING METHOD, ACTIVE MATRIX SUBSTRATE AND ITS PRODUCTION AND ELECTRONIC APPARATUS

Publication number: JP11194363 (A)

Publication date: 1999-07-21

Inventor(s): KOIDE SHIN; NAKAZAWA TAKASHI

Applicant(s): SEIKO EPSON CORP

Classification:

- international: G02F1/136; G02F1/1368; G03F7/20; G09F9/30; H01L21/027; H01L21/336; H01L29/786; G02F1/13; G03F7/20; G09F9/30; H01L21/02; H01L29/66; (IPC1-7): H01L21/027; G02F1/136; G03F7/20; G09F9/30; H01L21/336; H01L29/786

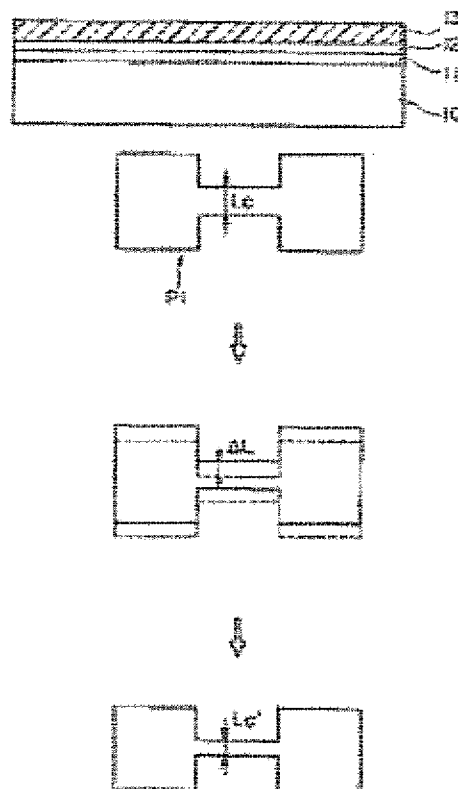
- European: G03F7/20T20

Application number: JP19970361564 19971226

Priority number(s): JP19970361564 19971226

Abstract of JP 11194363 (A)

PROBLEM TO BE SOLVED: To provide a polysilicon operating layer forming method capable of decreasing the off currents of polysilicon TFTs (thin-film transistors) without increasing the number of meandering of the polysilicon operating layers of the TFTs, i.e., the gate length. **SOLUTION:** An exposure stage for the photoresist 13 for forming the polysilicon operating layers (formed of polysilicon layers 12) of the TFTs to be disposed in the pixel regions of a liquid crystal panel is divided into two steps. Exposure of the second time is executed after a table or a mask 14 for exposure having the prescribed patterns P1 corresponding to the patterns of the polysilicon operating layers described above is moved by a shift quantity ΔL , in the channel width direction of the polysilicon layers 12.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-194363

(43) 公開日 平成11年(1999) 7月21日

(51) Int.Cl. ⁸	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 3 F 7/20	5 2 1	G 0 3 F 7/20 5 2 1
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30 3 3 8
H 0 1 L 29/786		H 0 1 L 29/78 6 1 2 D
21/336		6 1 2 B

審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平9-361564

(22) 出願日 平成9年(1997)12月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 小出 慎

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 中澤 尊史

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

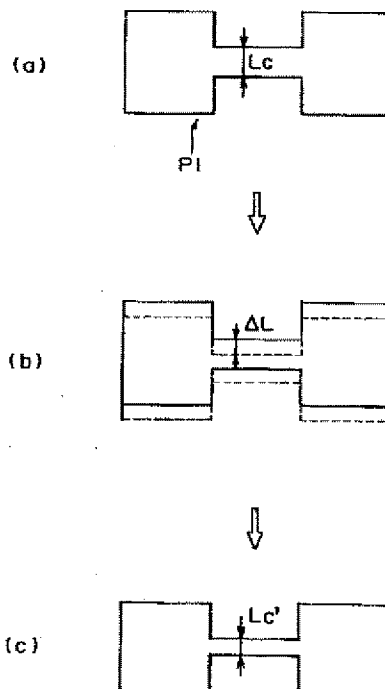
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 パターン形成方法、アクティブマトリックス基板及びその製造方法、電子機器

(57) 【要約】

【課題】 画素領域に設けられる T F T は周辺駆動回路を構成する T F T に比べてそれほど高いコンダクタンスを必要としないにもかかわらず、従来は画素領域の T F T も周辺駆動回路の T F T も同一のゲート幅を有するようにされていたため、画素領域の T F T のオフ時のリーク電流が大きいという問題点があった。

【解決手段】 液晶パネルの画素領域に設けられる T F T のポリシリコン動作層 (1 2) を形成するためのフォトレジスト (1 3) の露光工程を2段階に分け、2回目の露光はテーブルもしくは露光用マスク (1 4) をポリシリコン層のチャネル幅方向へ移動させてから行なうようにした。



【特許請求の範囲】

【請求項1】 基板上に所定のパターンを形成するパターン形成方法において、前記基板上にフォトリソ膜を塗布した後、マスクにより露光を行ない第1のパターンを形成する第1の工程と、前記基板を前記マスクに対して相対的に移動させ、露光を行なう第2の工程と、を少なくとも有することを特徴とするパターン形成方法。

【請求項2】 前記パターンの幅方向に前記基板を移動させ、前記マスクにより露光を行うことを特徴とする請求項1記載のパターン形成方法。

【請求項3】 基板上に画素電極がマトリックス状に形成され、各画素電極に接続して薄膜トランジスタが形成されるとともに、前記画素電極および薄膜トランジスタが形成された画素領域の周辺に駆動回路が形成されてなるアクティブマトリックス基板の製造方法において、前記画素領域に形成された薄膜トランジスタの半導体層は、前記基板上にフォトリソ膜を塗布した後、マスクにより露光を行ない第1のパターンを形成する第1の工程と、前記基板を前記マスクに対して相対的に移動させ、露光を行なう第2の工程と、により少なくとも形成されてなり、前記駆動回路を構成するトランジスタの半導体層は少なくとも前記第1の工程に形成することを特徴とするアクティブマトリックス基板の製造方法。

【請求項4】 基板上に画素電極がマトリックス状に形成されてなり、各画素電極に接続して薄膜トランジスタが形成されてなり、前記画素電極および薄膜トランジスタが形成された画素領域の周辺に駆動回路が形成されてなるアクティブマトリックス基板において、前記画素領域の薄膜トランジスタの半導体層の幅はプロセスの最小加工寸法よりも小さな幅を有することを特徴とするアクティブマトリックス基板。

【請求項5】 請求項4に記載のアクティブマトリックス基板と、対向電極を有する基板とが対向して配置されてなり、基板間に液晶が封入されることを特徴とする液晶装置。

【請求項6】 前記液晶装置を搭載したことを特徴とする電子機器。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置や液晶パネルなどの電子デバイスの製造プロセスにおけるパターン形成方法、アクティブマトリックス基板、及びその製造方法、に関する。

【0002】

【従来の技術】従来、アクティブマトリクス型液晶表示装置としては、ガラス基板上にマトリックス状に画素電極を形成すると共に、各画素電極に対応してポリシリコン層を半導体層として有する薄膜トランジスタ（以下、TFTという）を形成して、各画素電極にTFTにより制御された電圧を印加して液晶を駆動するとともに、画

素領域の周辺に前記TFTのゲートが接続された走査線を順次選択駆動したり画素電極に印加される信号を形成して供給したりする駆動回路が設けられた液晶装置（または液晶パネル、以下LCDという）が実用化されている。

【0003】また、従来、画素領域のみ液晶パネル化したデバイスも提供されており、かかるデバイスにおいてはTFTのソース、ドレイン領域およびチャネル領域を構成する動作層となる半導体層としてアモルファス・シリコン層が用いられているが、上述のように画素領域および周辺駆動回路にそれぞれTFTが設けられた液晶パネルにおいては、周辺駆動回路を高速動作させる必要があるために周辺駆動回路には半導体層としてポリシリコン層が用いられ、またプロセスを簡略化するため画素領域には同様のポリシリコン半導体層が用いられている。

【0004】

【発明が解決しようとする課題】しかしながら、前記のような従来の液晶パネルにおいて、以下のような問題点があった。

【0005】すなわち、画素領域に設けられるTFTは周辺駆動回路を構成するTFTに比べてそれほど高いコンダクタンスを必要としないにもかかわらず、プロセスを簡略化したり製造コストを抑えるため同一のプロセスではば並行して形成するようにしていた。そのため、画素領域のTFTも周辺駆動回路のTFTも同一のコンダクタンスを有するように形成される。しかし、それゆえ画素領域のTFTではオフ時のリーク電流（以下、オフ電流と称する）が大きくなるという問題がある。特に、画素領域のTFTは外部からの光が入射され易く、チャネル部に光が入射されるとリーク電流が増大する。

【0006】しかも、液晶パネルは線順次駆動されるため画素領域のTFTは1フィールド期間中のほとんどの時間がオフ状態にあり、TFTのオン状態で画素電極に印加された電圧はオフの期間中保持される必要があり、リーク電流が大きいと画素電極の電圧が低下して表示が劣化することとなる。そのため、従来は図10(a)や(b)のように、ポリシリコン動作層をU字状あるいは蛇行した形状に形成して、トータルのゲート長を長くすることによってオフ電流を低減することも行なわれている。かかる技術によれば、ポリシリコン動作層の蛇行回数を増やすことでオフ電流をさらに低減させることができる。

【0007】ところが、ポリシリコン動作層の蛇行回数を増加させるとTFTの占有面積が大きくなり、画素の開口率を低下させてしまうという不具合が生じる。そのため、従来の液晶パネルにおける画素領域のTFTのポリシリコン動作層の蛇行回数はせいぜい3回であり、それ以上蛇行回数を多くすることは困難であった。

【0008】本来ポリシリコンTFTは、画素におけるTFTの占有面積を小さくすることができる技術である

10

20

30

40

50

が、液晶パネルを高精細化すると液晶容量が画素ピッチの2乗に比例して小さくなるので、オフ状態のリーク時定数を確保するためには、TFTのポリシリコン動作層の蛇行回数を画素ピッチの2乗に比例して増加させる必要がある。すなわち、高精細の液晶パネルはTFTのポリシリコン動作層の蛇行回数が多いので、TFTの画素全体に対する占有面積の割合が大きくなり、画素の開口率が低下し、ポリシリコンTFTのメリットを十分に活かすことができない。

【0009】この発明の目的は、TFTのポリシリコン動作層の蛇行回数すなわちゲート長を増加させることなく、ポリシリコンTFTのオフ電流を低減させることができるポリシリコン動作層の形成方法を提供することにある。

【0010】この発明の他の目的は、精度の高いプロセスに変更することなくしかも複雑な工程を追加することなくオフ電流の小さなポリシリコンTFTを形成することができる技術を提供することにある。

【0011】

【課題を解決するための手段】この発明は、現在提供されている露光装置はパターン幅精度よりも位置決め精度の方が高いことに着眼してなされたもので、基板上に所定のパターンを形成するパターン形成方法において、前記基板上にフォトリソ膜を塗布した後、マスクにより露光を行ない第1のパターンを形成する第1の工程と、前記基板を前記マスクに対して相対的に移動させ、露光を行なう第2の工程と、を少なくとも有することを特徴とする。

【0012】前記手段によれば、プロセスの最小加工精度で決まる幅よりも狭い幅を有するパターンを形成することができ、これを薄膜トランジスタの製造方法に適用することによりより加工精度が向上して形成されたポリシリコン層を形成することができる。従って、露光装置を高精度のものに変更することなくオフ電流の小さな薄膜トランジスタを形成することができる。

【0013】また、前記パターンの幅方向に前記基板を移動させ、前記マスクにより露光を行うことを特徴とする。このような製造方法とすることによりチャネル幅をより狭線化することができる。また、露光の際のテーブルもしくはマスクの移動方向をチャネル幅方向に対して斜め方向にする具体的な方法もあり、予め基板および露光マスクを、基板を設置するテーブルの移動方向(X、Y方向)に対して斜めにセットしておく方法がある。

【0014】また、基板上に画素電極がマトリクス状に形成され、各画素電極に接続して薄膜トランジスタが形成されるとともに、前記画素電極および薄膜トランジスタが形成された画素領域の周辺に駆動回路が形成されてなるアクティブマトリクス基板の製造方法において、前記画素領域に形成された薄膜トランジスタの半導体層は、前記基板上にフォトリソ膜を塗布した後、

マスクにより露光を行ない第1のパターンを形成する第1の工程と、前記基板を前記マスクに対して相対的に移動させ、露光を行なう第2の工程と、により少なくとも形成されてなり、前記駆動回路を構成するトランジスタの半導体層は少なくとも前記第1の工程に形成することを特徴とする。

【0015】このような製造方法とすることにより、半導体層の幅を狭くすることができ、より高精細な液晶装置を提供することが可能である。

【0016】また、基板上に画素電極がマトリクス状に形成されてなり、各画素電極に接続して薄膜トランジスタが形成されてなり、前記画素電極および薄膜トランジスタが形成された画素領域の周辺に駆動回路が形成されてなるアクティブマトリクス基板において、前記画素領域の薄膜トランジスタの半導体層の幅はプロセスの最小加工寸法よりも小さな幅を有することを特徴とする。従来の装置を用いても高精細な液晶装置における悪ディマトリクス基板を形成することが可能となる。

【0017】なお、このようなアクティブマトリクス基板と、対向電極を有する基板とが対向して配置されてなり、基板間に液晶が封入される液晶装置を提供することができる。

【0018】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。

【0019】図1は本発明に係る多結晶シリコン(ポリシリコン)動作層の形成方法の一実施例の要部を工程順に示す。この実施例は、例えばガラス基板や半導体ウェハのような基板10の表面にCVD法等により酸化シリコン膜などからなる下地絶縁膜11を形成した後、この下地絶縁膜11の上に、CVD法により多結晶シリコン(ポリシリコン)のような半導体層12が形成される(図1(a))。前記半導体層12は、減圧CVD法等によりアモルファスシリコン膜を形成し、レーザーアニール処理を施して結晶化させて多結晶シリコン層(ポリシリコン層)とするようにしてもよい。

【0020】次に、前記ポリシリコン層(12)の上にポジ型のフォトリソ膜13を例えば1.0~1.2 μ mの厚み塗付した後、図3(a)に示すようなポリシリコン動作層のパターンに対応した所定のパターンP1を有するマスク14を用いて、例えば波長463nmのg線を70mW/cm²の強度で3秒間照射することで露光を行なう(図1(b))。

【0021】続いて、前記マスク14を相対的に、図3(b)のようにチャネル幅方向へ ΔL だけシフトさせてから2回目の露光を行なう。その後、前記レジスト膜13の現像処理を行なって、図3(c)のような微小幅部分を有するポジレジストパターンを残し、このレジストパターン13aをエッチングマスクとして、反応性イオンエッチングのような異方性ドライエッチングによって

ポリシリコン層12を選択除去してポリシリコン動作層12aを形成する(図1(c))。

【0022】前記露光マスク14のシフト量 ΔL は、マスク上のパターンP1のチャンネル幅 L_c がプロセスの最小加工精度に設定されている場合、使用する露光装置の位置決め精度に応じて最小加工寸法よりも小さな範囲で任意に決定することができる。具体的には、寸法が $5\mu m$ で位置決め精度が $0.4\sim 0.6\mu m$ の場合には、テーブルのシフト量を例えば $3\mu m$ に設定し、チャンネル幅方向へマスクを相対的に移動させて露光を行なう。

【0023】これによって、図3(c)に示すように、 $1.4\sim 2.6\mu m$ (平均 $2.0\mu m$)の微小チャンネル幅 L_c' を有するパターンが得られる。テーブルをシフトする代わりにマスク14を移動させるようにしてもよい。形成後のパターンに前記のような比較的大きなばらつきがあっても、製品検査では、オフリーク電流が所定値よりも少ないか否か検査して良否判定を行なうので、リーク電流さえ所定値以下であればチャンネル幅のばらつきは問題とならない。一方、画素領域に設けられるTFTはその目的からオン電流については十分にマージンがあるので、オン電流についてもパターンばらつきは問題とならない。

【0024】なお、前記実施例を液晶パネル用基板の製造プロセスに適用して画素領域の薄膜トランジスタ(TFT)のポリシリコン動作層を形成する場合には、先ず動作層パターンの幅を周辺駆動回路を構成するTFTに必要な特性に合わせて例えば $5\mu m$ に決定する。このとき、画素領域のTFTは周辺駆動回路を構成するTFTほど電流を必要としないので、テーブルをシフトして2段階露光を行なうが、2度目の露光の際には、周辺駆動回路部の上はブラインド等で覆ってフォトレジスト膜13が露光されないようにする。これによって、画素領域はパターン幅の最小加工寸法より小さなゲート幅のTFTが形成できることとなる。

【0025】前記ポリシリコン動作層12aの形成後は、その上に各種CVD法等によりTEOSをソースとして酸化シリコン膜からなるゲート絶縁膜15を形成する。そして、前記ゲート絶縁膜15の上に導電層(例えば TaN/Ta)を所定の厚さに形成した後に、エッチングによりパターニングを行なって前記ポリシリコン動作層12aと交差するようにゲート電極兼ゲート線21を形成する(図1(d))。

【0026】それから、リン等の不純物をイオン打込みで前記動作層12aに注入して、TFTのソース領域およびドレイン領域16a、16bを形成する。このとき動作層11aのゲート線21の下方部分には不純物が導入されず、真性(イントリシック)のチャンネル領域16cとして残る(図2(e))。

【0027】なお、実施例では、ゲート線21と自己整合されたソース・ドレイン領域を有するTFTについて

説明するが、前記TFTはチャンネル領域に隣接して形成された低不純物濃度のソース・ドレイン領域の外側に高不純物濃度のコンタクト領域が形成されたLDD構造のTFTとして形成されてもよいし、ゲート電極端部からソース・ドレイン領域が離れているいわゆるオフセット構造であってもよい。LDD構造あるいはオフセット構造とすることによりオフ時のリーク電流を低減することができる。また、前記ゲート線21の材料としては、前記 TaN/Ta の他、 Mo 、 Ti 、 W 等の高融点金属あるいは $MoSi$ 、 WSi 等のメタルシリサイドを使用するようにしてもよい。

【0028】次に、前記ゲート線21およびゲート絶縁膜15上にかけて各種CVD法等により酸化シリコン膜もしくは窒化シリコン膜のような第1絶縁膜17を形成した後、ドライエッチングにより前記第1絶縁膜17の前記動作層12aのソース領域16aに対応した位置にコンタクトホール18aを形成する。その後、スパッタ法等によりアルミニウム、銅もしくはそれらの合金等の低抵抗導電層を全面に形成してからパターニングを行なって前記コンタクトホール18aにて前記ソース領域16aに接触されるソース電極兼信号線22を形成する(図2(f))。

【0029】そして、前記信号線22の上に減圧CVD法等によりボロンおよびリンを含むシリケートガラス膜(BPSG膜)のような第2絶縁膜19を所望の厚さに形成する。次に、異方性ドライエッチングにより前記第2絶縁膜19およびその下の第1絶縁膜17に、コンタクトホール18bを形成した後、第2絶縁膜19の表面にスパッタ法等によりITO(Indium-Tin Oxide)などの透明導電膜を形成し、パターニングを行なって画素電極23を形成する(図2(g))。その後、前記画素電極23並びに第2絶縁膜19上にかけて、ポリイミド等からなる配向膜(図示省略)が約 $200\sim 1000$ オングストロームのような厚さに形成され、ラビング(配向処理)を行なうことで液晶パネル用基板として完成される。

【0030】図4には前記実施例のTFTを画素のスイッチング素子として用いた液晶パネルに適用した場合の一画素部分のレイアウト構成を示す。なお、図2(a)～図3(g)は図4におけるA-A線に沿った断面構造を工程順に示したものである。図4において、12aはTFTの動作層を構成するポリシリコン層であり、このポリシリコン層12aと交差するように、同一行(図では横方向)にあるTFTの共通のゲート電極となるゲート線(走査線)21が配設され、さらにこのゲート線21と交差するように縦方向に画素電極に印加すべき電圧を供給する信号線(データ線)22が配設されている。

【0031】また、特に限定されないが、この実施例では、TFTのドレインに接続される容量を増加させるため、動作層を構成する前記ポリシリコン層12aを、符

号12bのように信号線22に沿って上方へ延設させるとともに、前段のゲート線21の一部を同じく信号線22に沿って符号22bで示すように下方へ延設させている。これによって、前記1層目のポリシリコン層12の延設部12bとゲート線21の延設部21bとの間の容量（ゲート絶縁膜を誘電体とする）が、保持容量として各画素電極に電圧を印加するTFTのドレインに接続されるように構成されている。

【0032】次に、本発明を液晶パネル用基板の画素領域に設けられるTFTに適用する場合の第2の実施例を図5を用いて説明する。

【0033】この実施例は、TFTの動作層となるポリシリコン層パターンP2を蛇行させてS字状とするとともに、テーブルをチャンネル幅方向（X）へシフトさせて2段階露光を行なうようにしたものである。この場合にも、テーブルのシフト量 ΔL はチャンネル幅Lcよりも少ない範囲で任意に設定することができる。また、この実施例においても、テーブルをシフトする代わりにマスクを移動させるようにしてもよいことは言うまでもない。

【0034】なお、前記実施例ではいずれも露光の際のテーブルもしくはマスクの移動方向をチャンネル幅方向（X）としたが、チャンネル幅方向に対して斜め方向（S）とするようにしてもよい。この場合のテーブルもしくはマスクの移動量は、チャンネル幅よりも大きくすることが可能である。例えば、チャンネル幅方向に対して45°の方向に移動させる場合には、その移動量 ΔL の $1/\sqrt{2}$ だけポリシリコン動作層の幅を短くすることができる。逆に言えば、ポリシリコン動作層を狭めたい量を ΔL とすると $\sqrt{2}$ だけテーブルもしくはマスクを移動させればよい。従って、寸法と露光装置の位置決め精度が同一の場合にも2段階露光によるチャンネル幅の短縮を行なうことができる。

【0035】また、2段階露光の際のテーブルもしくはマスクの移動方向をチャンネル幅方向に対して斜め方向にする具体的かつ簡単な方法としては、予め基板および露光マスクを、基板を設置するテーブルの移動方向（X、Y方向）に対して斜めにセットしておく方法が考えられる。

【0036】図6は、本発明が適用される液晶パネルのTFT側の基板のシステム構成例を示す。図において、90は互いに交差するように配設されたゲート線21と信号線22との交点に対応してそれぞれ配置された画素で、各画素90は画素電極23と、この画素電極23に信号線22上の画像信号に応じた電圧を印加するスイッチング用TFT91とからなる。同一行のTFT91はそのゲートが同一のゲート線21に接続され、ドレインが対応する画素電極23に接続されている。また、同一列のTFT91はそのソースが同一の信号線22に接続されている。

【0037】この実施例においては、周辺回路（X、Y

シフトレジスタやサンプリング手段）50、60を構成するトランジスタが画素を駆動するTFTと同様にポリシリコン層を動作層とするいわゆるポリシリコンTFTで構成されており、周辺回路50、60を構成するトランジスタは画素スイッチング用TFTとともに同一プロセスにより、同時に形成される。ただし、画素のTFTのポリシリコン動作層は前記実施例の2段階露光で形成されるのに対し、周辺回路50、60を構成するTFTは1回の露光で形成される。

【0038】この実施例では、画素領域（画素マトリックス）の一侧（図では上側）に前記信号線22を順次選択するシフトレジスタ（以下、Xシフトレジスタと称する）51が配置され、画素マトリックスの他の一侧には前記ゲート線21を順次選択駆動するシフトレジスタ（以下、Yシフトレジスタと称する）61が設けられている。また、Yシフトレジスタ61の次段には必要に応じてバッファ63が設けられる。

【0039】前記各信号線22の他端にはTFTで構成されたサンプリング用スイッチ52が設けられており、これらのサンプリング用スイッチ52は外部端子74、75、76に入力されるビデオ信号やデータ信号を伝送するビデオライン54、55、56との間に接続され、前記Xシフトレジスタ51から出力されるサンプリングパルスによって順次オン/オフされるように構成されている。Xシフトレジスタ51は、端子72、73を介して外部より入力されるクロックCLX、/CLKに基づいて1水平走査期間中にすべての信号線22を順番に1回ずつ選択するようなサンプリングパルスX1、X2、X3、……Xnを形成してサンプリング用スイッチ52の制御端子に供給する。一方、前記Yシフトレジスタ61は、端子77、78を介して外部から入力されるクロックCLY、/CLYに同期して動作され、各ゲート線21を順次駆動する。

【0040】図7には前記液晶パネル用基板を適用した液晶パネル30の構成例を示す。同図に示すように、前記液晶パネル用基板（TFTアレイ基板）10の上には、複数の画素電極23により規制される画素領域（実際に液晶層37の配向状態変化により画像が表示される液晶パネルの領域）の周囲において両基板を張り合わせて液晶層37を包囲するシール部材の一例として光硬化性樹脂からなるシール材36が画素領域に沿って設けられている。そしてカラーフィルタ層33を有する入射側の対向基板31の上記画素領域外側シール材36内側領域に対応する部位に、遮光性の周辺見切り層35が設けられている。

【0041】上記周辺見切り層35は、後に画素領域に対応して開口が開けられた遮光性のケースに液晶パネル用基板10がセットされた場合に当該画素領域が製造誤差等により当該ケースの開口の縁に隠れてしまわないように、即ち例えば液晶パネル用基板10のケースに対す

るずれとして数百 μm 程度を許容するように、画素領域の周囲に500 μm 1mm程度の幅を持つ帯状の遮光性材料により形成される。このような遮光性の周辺見切り層35は、例えばCr(クロム)やNi(ニッケル)、Al(アルミニウム)などの金属材料を用いたスパッタリング、フォトリソグラフィおよびエッチングによって対向基板31に形成される。上記金属材料の代わりに、カーボンやTi(チタン)をフォトレジストに分散した樹脂ブラックなどの材料により周辺見切り層35を形成してもよい。

【0042】上記シール材36の外側の領域には、画素領域の下辺に沿って周辺回路(走査線駆動回路)50および外部端子としてのパッド70が設けられ、画素領域の両側(図の左右2辺)に沿って周辺回路(信号線駆動回路)60が設けられている。さらに、画素領域の上辺には、画素領域の両側に設けられた上記周辺回路60間を電氣的に接続するための配線105が設けられている。また、シール材36の四隅には、液晶パネル用基板10と対向基板31との間で電氣的導通をとるための導電性電圧材からなるコラム106が設けられている。そして、シール材36とほぼ同じ輪郭を持つ対向基板31が当該シール材36により液晶パネル用基板10に固着されている。

【0043】図8には前記液晶パネル用基板を適用した液晶パネル30の他の構成例を示す。図8の実施例の液晶パネル30は、前記液晶パネル用基板10の表面側にはカラーフィルタ層33を有する入射側のガラス基板31が適当な間隔をおいて配置され、周囲をシール材36で封止された間隙内にTN(Twisted Nematic)型液晶またはSH(Super Homeotropic)型液晶などの液晶37が充填されて液晶パネル30として構成されている。また、周辺回路50、60の上方は、例えば対向基板31に設けられるブラックマスク等により遮光されるように構成される。なお、外部から信号を入力するための外部端子としてのパッド70は前記シール材36の外側に来るようにシール材を設ける位置が決定されている。38は対向基板31側に設けられる液晶注入口である。

【0044】次に、上述の実施例の液晶装置を用いて構成される電子機器について説明する。図9に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネル(液晶装置)などの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAMなどのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、クロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。表示情報処理回路1002は、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。

【0045】この表示情報処理回路1002は、例えば

増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路あるいはクランプ回路等を含むことができる。表示駆動回路1004は、走査線駆動回路及びデータ線駆動回路を含んで構成され、液晶パネル1006を表示駆動する。電源回路1010は、上述の各回路に電力を供給する。

【0046】このような構成の電子機器として、図10に示す液晶プロジェクタ、図11に示すマルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、図12に示すページャ、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0047】図10は、投射型表示装置の要部を示す概略構成図である。図中、10は光源、13、14はダイクロイックミラー、15、16、17は反射ミラー、18、19、20はリレーレンズ、22、23、24は液晶ライトバルブ、25はクロスダイクロイックプリズム、26は投射レンズを示す。光源10はメタルハライド等のランプ11とランプの光を反射するリフレクタ12とからなる。青色光・緑色光反射のダイクロイックミラー13は、光源10からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー17で反射されて、赤色光用液晶ライトバルブ22に入射される。

【0048】一方、ダイクロイックミラー13で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー14によって反射され、緑色光用液晶ライトバルブ23に入射される。一方、青色光は第2のダイクロイックミラー14も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ18、リレーレンズ19、出射レンズ20を含むリレーレンズ系からなる導光手段21が設けられ、これを介して青色光が青色光用液晶ライトバルブ24に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム25に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ26によってスクリーン27上に投射され、画像が拡大されて表示される。

【0049】図11に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

【0050】図12に示すページャ1300は、金属製フレーム1302内に、液晶表示基板1304、バック

10

20

30

40

50

ライト1306aを備えたライトガイド1306、回路基板1308、第1、第2のシールド板1310、1312、2つの弾性導電体1314、1316、及びフィルムキャリアテープ1318を有する。2つの弾性導電体1314、1316及びフィルムキャリアテープ1318は、液晶表示基板1304と回路基板1308とを接続するものである。

【0051】ここで、液晶表示基板1304は、2枚の透明基板1304a、1304bの間に液晶を封入したもので、これにより少なくともドットマトリクス型の液晶表示パネルが構成される。一方の透明基板に、図9に示す駆動回路1004、あるいはこれに加えて表示情報処理回路1002を形成することができる。液晶表示基板1304に搭載されない回路は、液晶表示基板の外付け回路とされ、図12の場合には回路基板1308に搭載できる。

【0052】図12はページの構成を示すものであるから、液晶表示基板1304以外に回路基板1308が必要となるが、電子機器用の一部品として液晶表示装置が使用される場合であって、透明基板に表示駆動回路などが搭載される場合には、その液晶表示装置の最小単位は液晶表示基板1304である。あるいは、液晶表示基板1304を筐体としての金属フレーム1302に固定したものを、電子機器用の一部品である液晶表示装置として使用することもできる。さらに、バックライト式の場合には、金属製フレーム1302内に、液晶表示基板1304と、バックライト1306aを備えたライトガイド1306とを組み込んで、液晶表示装置を構成することができる。これらに代えて、図13に示すように、液晶表示基板1304を構成する2枚の透明基板1304a、1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP(Tape Carrier Package)1320を接続して、電子機器用の一部品である液晶表示装置として使用することもできる。

【0053】なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネセンス、プラズマディスプレイ装置にも適用可能である。

【0054】

【発明の効果】以上説明したようにこの発明は、電子デバイスにおけるパターン形成に際して、フォトレジスト膜を塗布した後、対応するマスクを用いて1回目の露光を行ない、続いて前記マスクを前記基板に対して相対的に前記パターンの幅方向へ移動させた後、2回目の露光を行なうようにしたので、プロセスの最小加工寸法よりも小さな幅を有するパターンの半導体層もしくは導電層または絶縁膜を形成することができるという効果があ

る。

【図面の簡単な説明】

【図1】本発明に係るポリシリコン動作層の形成方法の一実施例の要部(前半(a)～(d))を工程順に示す断面図。

【図2】本発明に係るポリシリコン動作層の形成方法の一実施例の要部(後半(e)～(g))を工程順に示す断面図。

【図3】本発明に係るポリシリコン動作層の形成に使用するマスクとそれによるエッチング後のポリシリコン動作層パターンの一例を示すパターン説明図。

【図4】本発明を適用した液晶パネルの一画素のレイアウト構成を示す平面図。

【図5】本発明に係るポリシリコン動作層の形成方法の他の実施例を示すマスクパターン図。

【図6】本発明を適用して好適な液晶パネル用基板のシステム構成例を示すブロック図。

【図7】液晶パネル用基板を用いた液晶パネルの構成例を示す平面図および断面図。

【図8】液晶パネル用基板を用いた液晶パネルの他の構成例を示す断面図および平面図。

【図9】電子機器の構成を示した図。

【図10】液晶パネルをライトバルブとして応用した投射型表示装置の一例として示した電子機器の概略構成図。

【図11】電子機器の一構成を示した図。

【図12】電子機器の一構成を示した図。

【図13】電子機器の一構成を示した図。

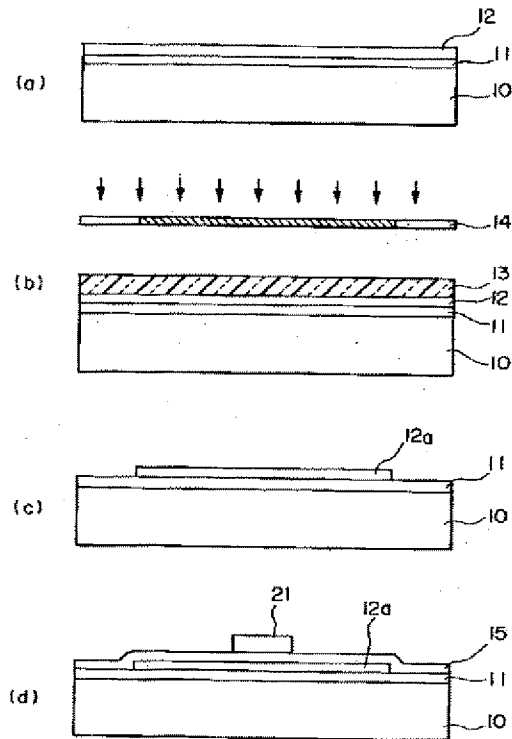
【符号の説明】

- 10 基板
- 11 下地絶縁膜
- 12 ポリシリコン層
- 12a TFTの動作層
- 13 フォトレジスト膜
- 14 露光マスク
- 15 ゲート絶縁膜
- 16a、16b ソース領域およびドレイン領域
- 17 第1絶縁膜
- 18a、18b コンタクトホール
- 19 第2絶縁膜
- 21 走査線(ゲート電極)
- 22 信号線
- 23 画素電極
- 30 液晶パネル
- 31 対向基板
- 33 対向電極およびカラーフィルタ層
- 36 シール材
- 37 液晶
- 50、60 周辺回路
- 51 Xシフトレジスタ

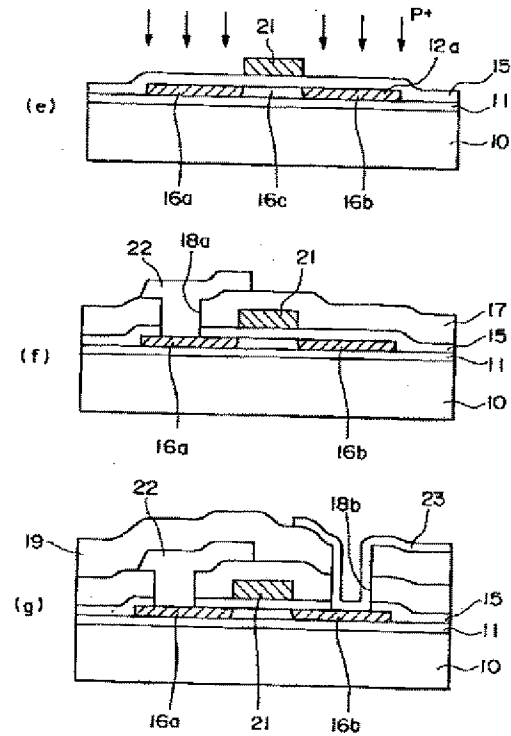
13
 52 サンプリング用スイッチ
 54~56 ビデオライン
 61 Yシフトレジスタ
 72~78 外部端子
 90 画素
 91 画素スイッチング用TFT

* 370 ランプ
 373, 375, 376 ダイクロイックミラー
 374, 377 反射ミラー
 378, 379, 380 ライトバルブ
 383 ダイクロイックプリズム
 * 384 投射レンズ

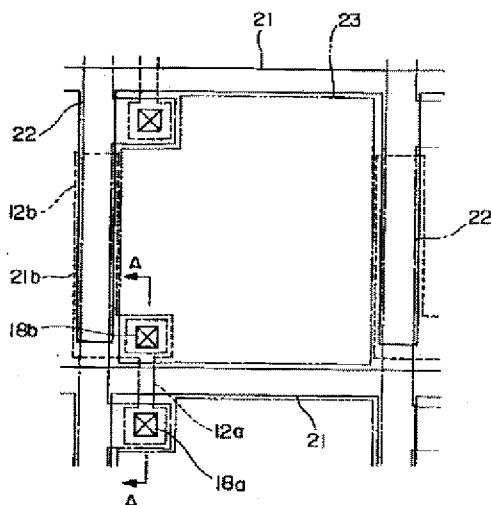
【図1】



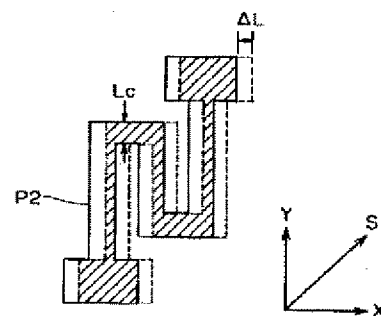
【図2】



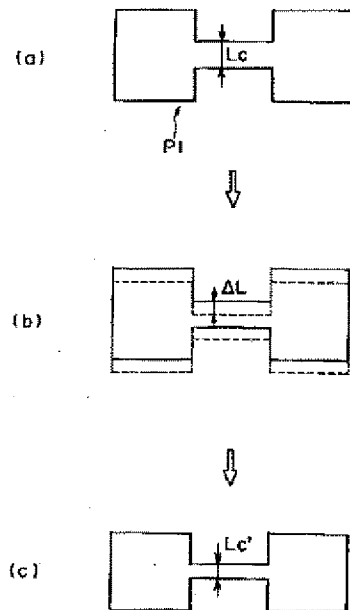
【図4】



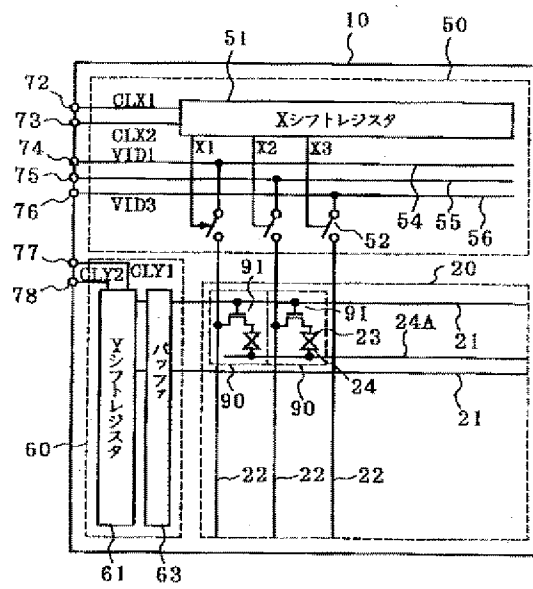
【図5】



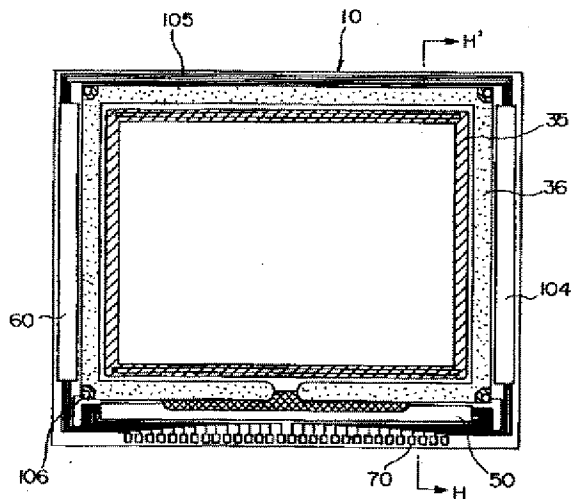
【図3】



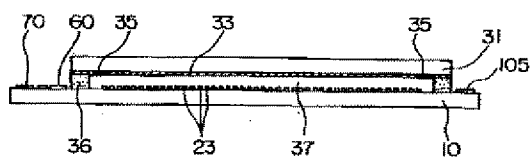
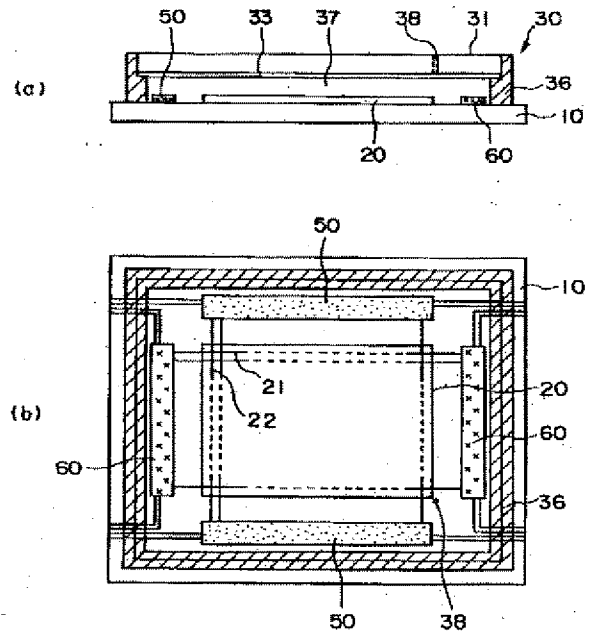
【図6】



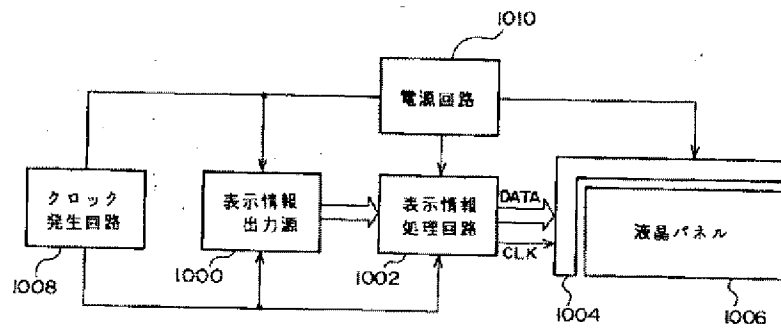
【図7】



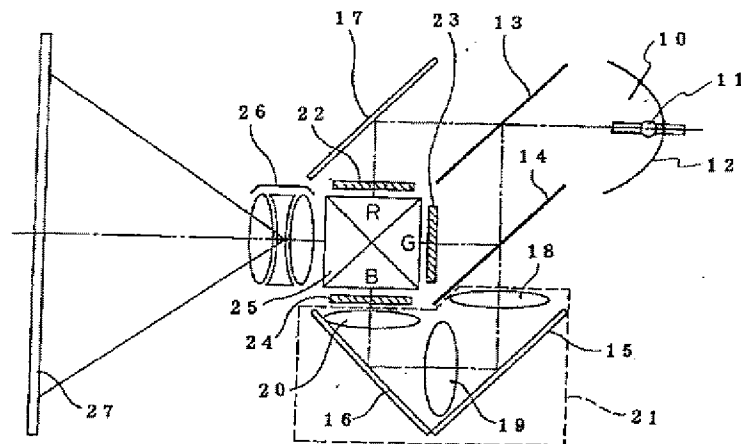
【図8】



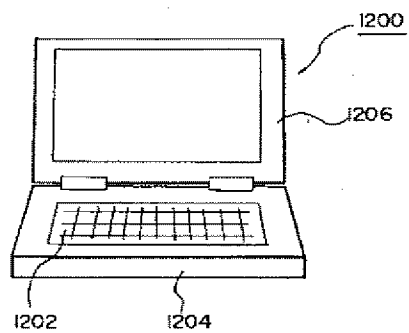
【図9】



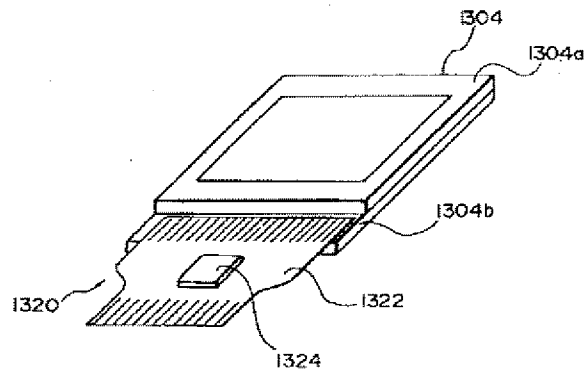
【図10】



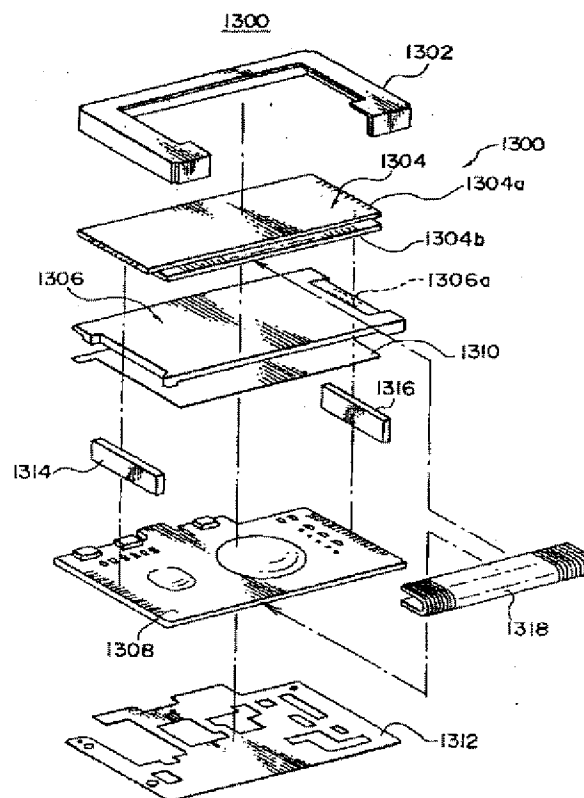
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl.⁶
// H 0 1 L 21/027

識別記号

F I
H 0 1 L 29/78
21/30

6 2 7 C
5 1 4 A